

CLIPPEDIMAGE= JP411259040A PAT-NO: JP411259040A
DOCUMENT-IDENTIFIER: JP 11259040 A
TITLE: DRIVING METHOD OF PLASMA DISPLAY PANEL

PUBN-DATE: September 24, 1999

INVENTOR-INFORMATION:

NAME	COUNTRY
SASAKI, TAKASHI	N/A
ISHIGAKI, MASA HARU	
MIZUTA, TAKAHISA	N/A
MASUDA, TAKEO	N/A
	N/A

ASSIGNEE-INFORMATION: NAME

HITACHI LTD	N/A
-------------	-----

APPL-NO: JP10058303
APPL-DATE: March 10, 1998

INT-CL_(IPC): G09G003/28; G09G003/20 ; G09G003/20

ABSTRACT:

PROBLEM TO BE SOLVED: To prevent quality of an image from being deteriorated by simultaneous resetting of all cells of a plasma display panel.

SOLUTION: A field is divided into plural sub-fields, and the sub-fields are composed of a reset period, an address period, and a sustaining conducting period, however, a reset period in at least one sub-field in one field is adopted as a whole reset period to reset all the cells simultaneously, and the other reset periods are adopted as a reset period to reset only the cell which sustaining conducting period directly preceding sustaining conducting period. For this all reset period, All reset pulses PR of a high voltage and a wide pulse width are impressed on all X-electrodes at the same time and all the cells are reset, however, the wall charges of the sustaining conducting cells are erased by impressing a filament line erase pulse PE having an amplitude almost equal to that of a sustaining conducting pulse PS and a pulse width of about 1

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-259040

(43) 公開日 平成11年(1999) 9月24日

(51) Int.Cl.⁶

G 0 9 G 3/28

識別記号

3/20

6 4 1

6 4 2

F I

G 0 9 G 3/28

3/20

H

E

J

6 4 1 E

6 4 2 C

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号

特願平10-58303

(22) 出願日

平成10年(1998) 3月10日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者 佐々木 孝

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所情報メディア事業本部内

(72) 発明者 石垣 正治

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所情報メディア事業本部内

(72) 発明者 水田 尊久

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所情報メディア事業本部内

(74) 代理人 弁理士 武 順次郎

最終頁に続く

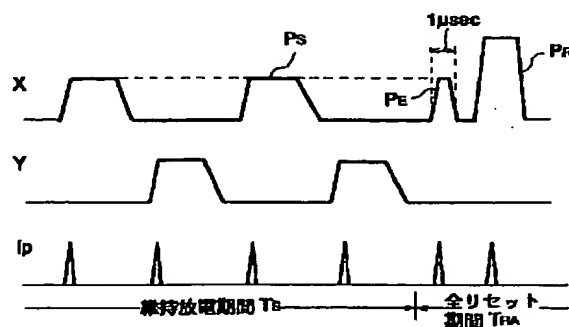
(54) 【発明の名称】 プラズマディスプレイパネルの駆動方法

(57) 【要約】

【課題】 プラズマディスプレイパネルの全セルを同時にリセットする全リセットによる画質の劣化を防止する。

【解決手段】 フィールドを複数のサブフィールドに区分し、該サブフィールドをリセット期間とアドレス期間と維持放電期間とで構成するが、1フィールド中の少なくとも1つのサブフィールドでのリセット期間を全セルを同時にリセットする全リセット期間とし、これ以外のリセット期間を直前の維持放電期間で維持放電したセルのみをリセットする期間とする。かかる全リセット期間では、高電圧、広パルス幅の全リセットパルス P_R が全 X 電極に同時に印加されて全セルのリセットが行なわれるが、この全リセットパルス P_R の直前に、維持放電パルス P_S とほぼ等しい振幅でかつ $1 \mu\text{sec}$ 程度のパルス幅の細線消去パルス P_E を全 X 電極に同時に印加し、維持放電したセルの壁電荷を消去する。

【図1】



【特許請求の範囲】

【請求項1】 1フィールドを複数のサブフィールドに区分して、各サブフィールドをリセット期間とアドレス期間と維持放電期間とで構成し、1フィールドのうちの少なくとも1つのサブフィールドでの該リセット期間を、全リセットパルスによって全セルを同時にリセットする全リセット期間とするプラズマディスプレイパネルの駆動方法において、

該全リセット期間での該全リセットパルスの直前に、壁電荷を生じさせない程度のパルス幅、振幅の消去パルスを設けたことを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項2】 請求項1において、

前記消去パルスは、前記維持放電期間での維持放電パルスに略等しい振幅で、該維持放電パルスよりも狭いパルス幅の細線パルスであることを特徴とするプラズマディスプレイパネルの駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、パーソナルコンピュータやワークステーションなどのディスプレイ装置、平面型の壁掛けテレビ、広告や情報などの表示装置などに用いられるプラズマディスプレイパネルの駆動方法に関する。

【0002】

【従来の技術】図2はAC型プラズマディスプレイパネルの構造の一部を示す分解斜視図である。

【0003】同図において、プラズマディスプレイパネル1の前面ガラス基板2の下面には、X透明電極3aとY透明電極4aとが互いに平行でかつ交互に配列されて設けられている。また、夫々の電極3a、4aには、Xバス電極3b、Yバス電極4bが積層されている。これらX透明電極3aとXバス電極3bとはX電極3を構成し、Y透明電極4aとYバス電極4bとはY電極4を構成している。さらに、その下面には、これら電極3、4を覆うようにして、誘電体層5とMgOなどの保護層6とが設けられている。

【0004】一方、プラズマディスプレイパネル1の背面ガラス基板7の上面には、前面ガラス基板2のX電極3とY電極4とに直交する方向に伸延したアドレス電極8が設けられている。このアドレス電極8が誘電体層9で覆われており、その上のアドレス電極8間毎に隔壁10がアドレス電極8と平行に設けられている。さらに、隔壁10とアドレス電極8上の誘電体層9の表面には、蛍光体11が塗布されている。

【0005】図3は図2の矢印A方向から見たプラズマディスプレイパネル1の1つのセル部分を示す断面図である。同図において、アドレス電極8は、2つの隣り合う隔壁10の中間に位置している。また、前面ガラス基板2と背面ガラス基板7との間の空間12には、Ne、

Xeなどの放電ガスが充填されている。

【0006】図4は図2の矢印B方向から見たプラズマディスプレイパネル1の3つのセル部分を示す断面図である。同図において、1セルの境界は概略点線で示す位置であり、X電極3とY電極4とが交互に配置されている。AC型のプラズマディスプレイパネル1では、これらX電極3とY電極4との近傍の誘電体層5（保護層6を含む）上に正負の電荷が分けて集められ、この電荷を利用して放電を行なうための電界が形成される。かかる電荷を壁電荷と称している。

【0007】図5は以上のX電極3、Y電極4及びアドレス電極8の配線と回路構成を示す模式図である。

【0008】同図において、X駆動回路13は、夫々のX電極3毎に、あるいは複数本束ねて接続され、印加する駆動パルスを発生する。Y駆動回路14は、夫々のY電極4毎に接続され、夫々のY電極4に印加する駆動パルスを発生する。A駆動回路15、16は、夫々のアドレス電極8毎に接続され、夫々のアドレス電極8に印加する駆動パルスを発生する。

【0009】かかるプラズマディスプレイパネルを備えたプラズマディスプレイ装置では、1フィールド（1枚の画面）が輝度毎に時間軸で複数のサブフィールドに区分されており、各画素（セル）は、このサブフィールド期間内で放電によって紫外線を発生させて蛍光体を励起することにより、発光するようにしている。この放電は維持放電と呼ばれ、例えば、特開平4-195188号公報に開示されているように、サブフィールド毎に放電回数を異ならせることにより、フィールド期間での放電回数に応じた中間調の表示が行なわれる。また、各サブフィールドの先頭では、その直前のサブフィールドで行なわれた維持放電による放電領域（セル）内の蓄積荷電粒子を消去するために、蓄積荷電粒子をもつセルでのみ書込放電及び消去放電を行なう選択リセットが、または、プラズマディスプレイパネルでの全セルに対して蓄積荷電粒子の有無に関係なく書込放電及び自己消去放電が行なわれる（これを、全リセットという）。

【0010】図6はサブフィールドの構成を示す図であって、図示するように、各サブフィールドSFは、上記のリセット期間 T_R （全リセット期間 T_{RA} または選択リセット期間 T_{RS} ）と、維持放電（発光）させるためのセルを選択するためのアドレス期間 T_A と、維持放電期間 T_s とから構成されている。

【0011】ところで、サブフィールドSFを図6に示すような構成とすると、サブフィールド毎に全リセットが行なわれ、この全リセットでの書込放電及び自己消去放電に伴ってセルが発光することになる。この発光は映像信号の有無に関係なく全セルで生ずるために、黒レベルの輝度が高くなってコントラストを劣化させることになる。

【0012】これに対し、例えば、特開平8-278766号

10

20

30

40

50

公報に記載のように、各サブフィールドにリセット期間を設けるが、1フィールドを構成するサブフィールドのうちの1つのサブフィールドのリセット期間では、全セルを書込放電及び自己消去放電する全リセットを行ない、他のサブフィールドのリセット期間では、リセットパルスの電圧値を低くしたり、パルス幅を狭くすることにより、直前のサブフィールドで維持放電を行なったセルに対してのみ書込放電及び自己消去放電を行なわせるようにした駆動方法が知られている。

【0013】これによると、各セルにおいて、維持放電が行なわれなかったサブフィールドの後では、書込放電及び自己消去放電が行なわれないため、映像の輝度に寄与しない無効発光を減らすことができ、コントラストや色再現性を高めることができるとしている。これを選択リセットと称している。

【0014】

【発明が解決しようとする課題】ところで、上記のように、1フィールドに1回だけ全リセットするようにする駆動方法によると、無効発光の回数が少なくなってコントラストなどの向上を図ることができるが、この全リセットに際しては次のような問題がある。

【0015】即ち、維持放電期間が終了したときには、その期間で維持放電が行なわれたセルと維持放電が行なわれなかったセルとでは、そこに形成されている壁電荷量に差があるから、維持放電期間が終了して次のサブフィールドの先頭で全リセットが行なわれるときには、セル間に壁電荷量の差が生じていることになる。

【0016】そこで、かかる状態で全リセットが行なわれると、直前の維持放電期間で維持放電が行なわれて壁電荷が多く形成されているセルでは、全リセットパルスにこの壁電荷量に相当する電圧が加わった高い電圧で強い書込放電が行なわれ、直前の維持放電期間で維持放電が行なわれなくて壁電荷量が少ないセルでは、全リセットパルスにこの少ない壁電荷量に相当する電圧が加わった低い電圧で弱い書込放電が行なわれる。また、これらセルで書込放電によって形成される壁電荷量にも違いが生じて全セルにわたる均一なリセットができなくなり、自己消去放電の強さも形成された壁電荷量に応じて異なることになる。

【0017】このように、全リセット放電の強度がセル毎に異なると、これに応じてセル毎に発生する無効発光の強度も異なることになり、これがノイズとなって表示画面に現われて画質の劣化を惹き起こすことになる。

【0018】本発明の目的は、かかる問題を解消し、全リセット期間でのリセット状態を全セル均一となるようにし、全リセットによる画質の劣化を抑圧することができるようにしたプラズマディスプレイパネルの駆動方法を提供することにある。

【0019】

【課題を解決するための手段】上記目的を達成するため

に、本発明は、全リセットパルスの直前にのみ、壁電荷を生じさせない程度のパルス幅、振幅の消去パルスを設ける。

【0020】全リセットを行なうリセット期間直前の放電維持期間で維持放電が行なわれたセルでは、この維持放電によって壁電荷が形成されているが、この消去パルスにより、この壁電荷が放電して消去される。また、この直前の維持放電期間で維持放電を行なわなかったセルでは、ほとんど壁電荷が形成されていないので、この消去パルスによる放電は行なわれず、壁電荷が生ずることがない。従って、全リセットパルスによってリセットが行なわれるときには、全セルでほぼ同じ程度の強度で放電が行なわれることになる。

【0021】

【発明の実施の形態】以下、本発明の実施形態を図面により説明する。図1は本発明によるプラズマディスプレイパネルの駆動方法の一実施形態の要部を示す図である。

【0022】先に説明した従来技術のように、この実施形態においても、1フィールドが複数(例えば、8個)のサブフィールドに区分され、各サブフィールドSFは、図6で示したように、リセット期間 T_R とアドレス期間 T_A と維持放電期間 T_S とで構成されている。そして、各フィールドでは、少なくとも1つのサブフィールドでのリセット期間 T_R が、プラズマディスプレイパネル上の全セルを同時にリセットするものとする(以下、これを全リセット期間 T_{RA} という)。それ以外のサブフィールドのリセット期間では、上記特開平8-278766号公報に記載の駆動方法のように、直前の維持放電期間で維持放電を行なったセルのみリセットするものとする(以下、これを選択リセット期間 T_{RS} という)。この全リセット期間 T_{RA} では、ほぼ350Vで6~10 μ sec程度のパルス幅の高電圧、広パルス幅リセットパルス(以下、全リセットパルスという)が全てのX電極に同時に印加され、これにより、全セルで書込放電及び自己消去放電が行なわれる。

【0023】この実施形態では、図1に示すように、X電極3とY電極4とに交互に放電維持パルス R_S を印加して選択されたセルを放電発光させる維持放電期間 T_S が終了し、次のリセット期間 T_R が全リセット期間であるとする、全リセットパルス P_R が全X電極に同時に印加される前に、細線消去パルス P_E が全てのX電極に同時に印加される。

【0024】この細線消去パルス P_E はセルに壁電荷を生じさせずに、かつセルに形成されている電荷を放電させる程度のパルスであって、その振幅は、全リセットパルス P_R の振幅(350V程度)よりも充分低くて、例えば、維持放電パルス P_S の振幅(160~180V)とほぼ同程度であり、また、そのパルス幅も、全リセットパルス P_R のパルス幅(6~10 μ sec)よりも充分狭

く、例えば、 $1\mu\text{sec}$ 程度である。

【0025】この細線消去パルス P_E により、その直前の維持放電期間 T_S で維持放電（発光）して壁電荷が形成されているセルでは、この壁電荷によって放電が行なわれて放電電流 i_D が流れ、この壁電荷が消去される。また、この維持放電期間 T_S で維持放電が行なわれなかったセルでは、壁電荷がほとんど形成されていないので、放電が行なわれず、従って、壁電荷がない状態が維持される。このようにして、全てのセルが均一な壁電荷の状態となる。

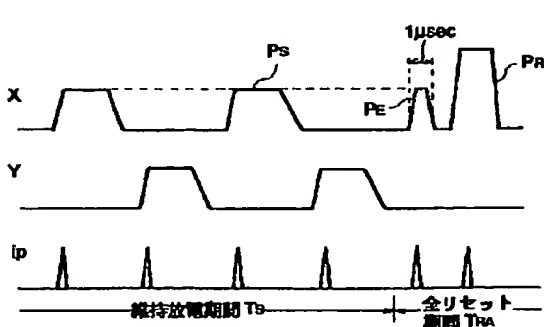
【0026】このような状態で、全リセットパルス P_R によって全セル同時に書込放電が行なわれると、その放電強度は全セルにわたってほとんど均一となり、従って、これによる無効発光も全セルにわたってほとんど均一となって表示画面にノイズが発生することがない。また、この書込放電によって形成される壁電荷量も全セルにわたってほとんど均一になるから、自己消去放電による無効発光も全セル均一となり、表示画面にノイズが発生することがない。さらに、自己消去放電後の壁電荷状態も全セルほぼ均一となるため、その後のアドレス期間、放電維持期間での誤動作も低減される。このようにして、全リセットによる画質の劣化を防止することができる。

【0027】なお、本発明では、先に示した特開平8-278766号公報に記載のように、フィールドの先頭のサブフィールドでのリセット期間を全リセット期間とする場合には、この全リセット期間で全リセットパルスの直前に上記の細線消去パルス P_E を付加するものであるが、これに限らず、フィールド内のいずれのサブフィールドにも全リセット期間が設定されていても、その全リセット期間に、上記のように、細線消去パルスを付加するものである。

【0028】また、上記実施形態で示した数値は一例にすぎず、本発明にかかる数値に限定されるものではない。

【図1】

【図1】



い。

【0029】

【発明の効果】以上説明したように、本発明によれば、維持放電期間で維持放電をしたか否かにかかわらず、全リセットパルスの直前では、全てのセルで壁電荷量を均一とすることができるから、全リセットパルスによる放電強度が全セルにわたってほぼ均一となり、全リセットによる画質の劣化を大幅に改善することができる。

【図面の簡単な説明】

10 【図1】本発明によるプラズマディスプレイパネルの駆動方法の一実施形態を示す図である。

【図2】AC型プラズマディスプレイパネルの構造の一部を示す分解斜視図である。

【図3】図2での矢印A方向から見たプラズマディスプレイパネルの1つのセル部分を示す断面図である。

【図4】図2での矢印B方向から見たプラズマディスプレイパネルの3つのセル部分を示す断面図である。

【図5】AC型プラズマディスプレイパネルにおける各電極の配置関係を概略的に示す図である。

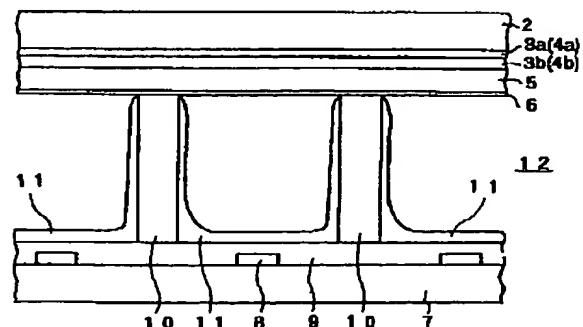
20 【図6】AC型プラズマディスプレイパネルの駆動のためのフィールドにおけるサブフィールドの構成を示す図である。

【符号の説明】

- 1 プラズマディスプレイパネル
- 2 前面ガラス基板
- 3 X電極
- 4 Y電極
- 9 背面ガラス基板
- 10 アドレス電極
- 30 12 隔壁
- 13 蛍光体
- P_S 維持放電パルス
- P_E 細線消去パルス
- P_R 全リセットパルス

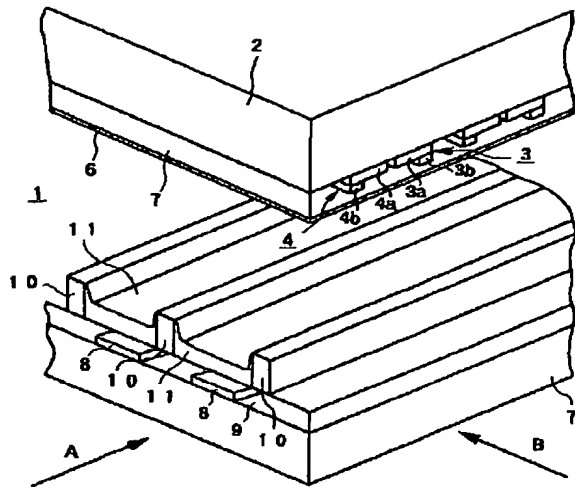
【図3】

【図3】



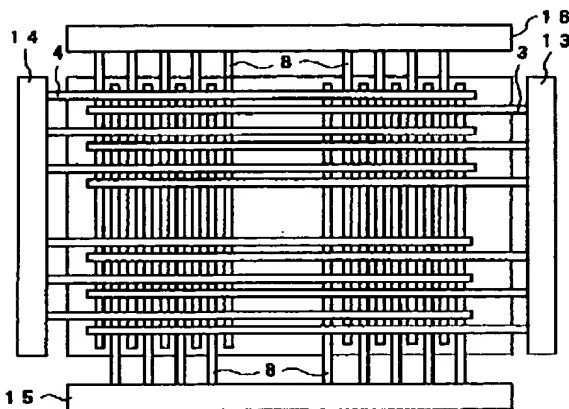
【図2】

【図2】



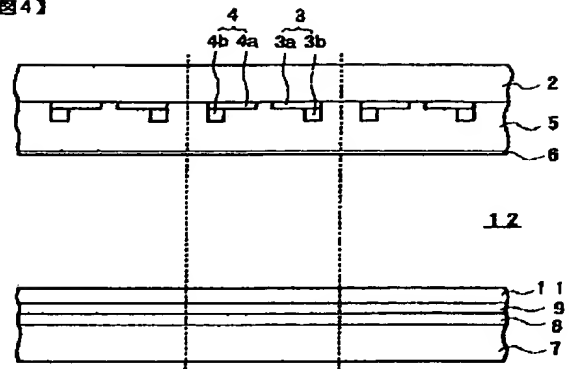
【図5】

【図5】



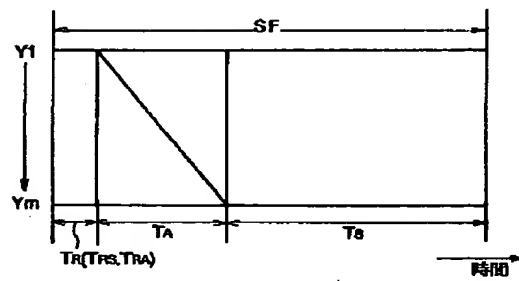
【図4】

【図4】



【図6】

【図6】



フロントページの続き

(72)発明者 増田 健夫
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所情報メディア事業本部内